



2000円(2,000円)

## 特許願(2)

正

特許庁長官殿

昭和 50. 6月13日

発明の名称

セレン ガタデンカイコウカハントウタイソウチ  
絶縁ゲート型電界効果半導体装置発明者 東京都港区芝五丁目33番1号  
日本電気株式会社内  
現地 正典  
同所 イノウエヤスカズ  
井上泰一特許出願人 東京都港区芝五丁目33番1号  
(423) 日本電気株式会社  
代表者 小林宏治代理人 〒108 東京都港区芝五丁目33番1号  
日本電気株式会社内  
(6591) 弁理士 内原 (署)  
電話 東京(03) 454-1111(大代表)

添付書類の目録

特許片  
50.6.14  
出願第二種明細書  
図面  
委任状  
請求書副本

50 071767

## 明細書

## 発明の名称

絶縁ゲート型電界効果半導体装置

## 特許請求の範囲

絶縁ゲート型電界効果半導体装置のトランジスタのドレイン又はソースに半導体基体と同一導電型でかつ基体より不純物濃度の高い領域と基板と反対導電型の領域との間に形成されたPN接合を有する絶縁ゲート電界効果型ゲートコントロールドバイオードよりなる保護装置を接続したことを特徴とする絶縁ゲート電界効果型半導体装置。

## 発明の詳細な説明

この発明は絶縁ゲート型電界効果半導体装置の新しい構造を有する保護装置に関する。

一般にMOS電界効果型トランジスタに於いてゲートとソース端子を接地した状態でドレインに電圧を印加した場合、この電圧がMOSトランジスタのドレイン拡散領域と基体間のゲート電圧により制御された表面ブレークダウン耐圧を超えたある値に達するとMOSトランジスタは破壊して

⑯ 日本国特許庁

## 公開特許公報

⑩ 特開昭 51-147972

⑪ 公開日 昭51.(1976)12.18

⑫ 特願昭 50-71767

⑬ 出願日 昭50.(1975)6.13

審査請求 未請求 (全4頁)

府内整理番号 6416 64

6416 67  
7417 67  
6418 67

⑭ 日本分類

PPW1E3  
PPW1G0  
PPW1H0  
PAW1A014⑮ Int.Cl<sup>2</sup>H01L 2P/28  
H01L 2P/90  
H01L 27/04  
H03F 11/00

しまうという現象が存在する。この現象は基本的にはNチャンネルMOSトランジスタでもPチャンネルMOSトランジスタでも存在するが、特にPチャンネル型の場合に著るしい。またゲート絶縁膜が薄く(たとえば1000オングストローム以下)になると従つてこの現象は著るしい。

一方、MOS型半導体装置やMOS型集積回路装置に於いて出力端子は、出力トランジスタのドレイン(又はソース)から外部電極引き出し用のボンディングパッドへ取り出されている。従つてこれら装置で出力トランジスタ「OFF」の状態では、出力端子に高電圧が印加された場合出力トランジスタは先に説明した破壊現象に晒されてしまう。この為、MOS型半導体装置や集積回路装置では、装置の製造段階や装置完成後の取り扱いの際、出力端子にのる電荷や、装置動作中に出力端子にかかるサーボ電圧の為、装置が破壊してしまうという不都合がしばしば発生する。またこの破壊現象は出力トランジスタばかりでなく増幅器内の特定トランジスタやアドレス・ラッチャ回路の

トランジスタ等においてもしばしば生ずる。これらはMOS型半導体装置や集積回路装置の取り扱いを面倒にしているのみならず、装置自体の製造歩留りや信頼性を損なう大きな要因の一つとなつてゐる。

この発明の目的は、MOS型半導体装置や集積回路装置に於ける上記の如き不都合を取り除く為の新しい構造を有する保護装置を提供することにある。

本発明の保護装置は被保護MOSトランジスタのドレイン(又はソース)に接続されたMOSゲートコントロールドバイオードより成り、かつこのMOSゲートコントロールドバイオードのP-N接合は半導体基体と同一導電型でかつ基体より不純物濃度の高い領域と、基体と反対導電型の領域との接合により形成された構造を有する。被保護MOSトランジスタが出力トランジスタの場合には本発明の出力保護装置を出力トランジスタのドレイン(又はソース)と外部電極引出用のポンディングパッドとの間に挿入するのが好ましい。

- 3 -

クダウン特性をNチャネル型の場合を例にとつて、第1図、第2図に示す。第1図は基体の不純物濃度( $D_N$ )が $1 \times 10^{15}/\text{cm}^3$ の場合の接合耐圧( $BV$ )とゲート電圧( $V_G$ )との関係を $S10$ 、膜厚( $T_{ox}$ )をパラメータに示す。この時の基体電圧( $V_{DS}$ )は-5Vである。第2図は、 $T_{ox} = 1.0.0.0\text{ }\mu\text{m}$ 、 $V_G = 0\text{V}$ 、 $V_{DS} = -5\text{V}$ の時の接合耐圧 $BV$ の基体不純物濃度 $D_N$ 依存性を示す。これら第1図、第2図からも明らかな様に、例えば $D_N = 1 \times 10^{15}/\text{cm}^3$ のP型シリコン半導体基体上に作製されたゲート $S10$ 、膜厚 $T_{ox} = 1.0.0.0\text{ }\mu\text{m}$ を有するNチャネルMOS型半導体装置に、同一基体上の $1 \times 10^{15}/\text{cm}^3$ のP型領域に形成され $T_{ox} = 1.0.0.0\text{ }\mu\text{m}$ を有する本発明のゲートコントロールドバイオード型保護装置を適用することにより、以下の如き効果が得られる。

即ち第2図で、被保護トランジスタが「OFF」の状態ではこのトランジスタのドレイン(又はソース)のブレークダウン電圧は△点 $BV = 25\text{V}$ に対応し、一方保護用ゲートコントロールドバイオード

既に公知の様に、MOS型半導体装置や集積回路装置ではMOSトランジスタのソース・ドレン拡散領域やチャネル領域として動く半導体基体表面の能動領域部分以外の基体表面に基体と同一導電型でかつ基体より不純物濃度の高い拡散又はイオン打透領域を設けることにより、フィールドの反転閾値電圧を上げ寄生MOS効果を防止するという工夫がしばしば施されている。この様な装置に於いてはゲートコントロールドバイオードのP-N接合を反転層防止用の高不純物濃度領域とMOSトランジスタのソース・ドレン同時に形成した反対導電型領域との間に設ければよいから工程を追加・変更することなく容易に実現できる。またシリコングートMOSトランジスタのようにゲート膜厚が $1.0.0.0\text{ }\mu\text{m}$ 以下ものの破壊防止に本発明はとくに効果がある。

次に図面を参照しつつ本発明の原理および実施例を詳細に説明する。

一般にシリコン半導体基体上に作製されたゲートコントロールドバイオードのP-N接合ブレー

- 4 -

ドのブレークダウン電圧はB点 $BV = 18\text{V}$ に対応する。従つて被保護トランジスタの耐圧と保護装置の耐圧とに7Vの差をつけることが可能であり又これら2種の耐圧はいづれもエーロ接合のゲート電極によつて制御された表面ブレークダウンという同一機構を用いている為ブレークダウンの時定数にも差はない。よつて本発明装置では、出力端子にのる好ましくない電荷や電源サージ等による高電圧は保護装置によつて首尾よく遮断され、被保護トランジスタに伝わることはない。こうして本発明の保護装置を備えたMOS型半導体装置や集積回路装置ではトランジスタの破壊現象を防止できるので、装置製造歩留りや信頼性の大巾な向上が達成される。

次に本発明の実施例につき第3図および第4図を参照しながら詳しく説明する。

第3図、第4図はそれぞれ本発明を適用したNチャネルMOS型半導体装置の出力部の出力部を示す回路図、断面構造図である。

第3図に示すように出力MOSトランジスタT1

のドレインに M 8 ゲートコントロールドバイオードより成る出力保護装置 D 1 の一端を接続しその他端子なわちゲート端子は接地する。T 1 のドレインと出力端子 G Tとの間には図示のようにインピーダンス素子 Z を接続しても差支えない。このような回路は、たとえば第 4 図に示すように比抵抗約  $10 \Omega/\text{cm}$  の P 型シリコン半導体基体 1 の一平面に近接してリンを拡散して出力トランジスタ T 1 のソース S 2 , ドレイン D 3 , 保護ゲートコントロールドバイオード D 1 の N 型拡散領域 4 となる N 型領域(その表面リン濃度は約  $10^{19}/\text{cm}^2$  である)を形成し、さらにゲートコントロールドバイオードの領域 4 と P N 接合を形成する表面濃度約  $10^{16}/\text{cm}^2$  の P 型拡散領域 5 をポロンを拡散して形成し(この P 型領域 5 はフィールド反転防止用としても機能する)。出力トランジスタ T 1 及び保護ゲートコントロールドバイオード D 1 のゲート G 10, 膜 6 及び 6' をシリコン基体 1 の高温熱酸化法によつて膜厚約  $1000 \text{ \AA}$  に形成し、フィールド G 10, 膜 7 を約  $1 \mu$  の厚さに熱酸化法で

- 7 -

ド反転閾値電圧は  $3.5 \text{ V}$  , 領域 2 , 3 と基体 1 間の P N 接合のバルク耐圧は  $60 \text{ V}$  , 領域 4 と 5 間の P N 接合のバルク耐圧は  $3.5 \text{ V}$  であつた。この様な諸特性を有する本発明装置は、出力端子にのる好ましくない電荷や動作時に出力端子にかかるサージ電圧に対し優れた安定性を示し、出力トランジスタの破壊は生じなかつた。

なお、先に出願した特許昭 49-81471 号明細書に記載したように、ゲートコントロールドバイオードの耐圧はそのゲートに被保護 M 0 8 トランジスタのゲート印加電圧に対して逆極性の電圧を加えることによつても被保護 M 0 8 トランジスタの耐圧より低くすることができる。したがつて本実施例においてゲートコントロールドバイオード D 1 のゲート G 13 の電位  $13$  を接地する代りに、マイナス電源たとえば  $-5 \text{ V}$  が印加されている基体 1 に接続すれば M 0 8 トランジスタ T 1 との耐圧の差をいつそり大きくすることができる。このようにゲートコントロールドバイオードのゲートに上述のような逆極性の電圧を加えることも本

特開昭 51-147972 (3)  
設けて形成する。また S 1 H の熱分解により多結晶シリコン層 8, 9 を形成してそれぞれ出力トランジスタ T 1 , 保護ゲートコントロールドバイオード D 1 のゲート電極とし、アルミニウム蒸着膜で出力トランジスタ T 1 のソース S 2 に接続する電極配線路 10 、出力トランジスタ T 1 のゲート G 8 に接続するゲート電極配線路 11 、出力トランジスタのドレイン D 3 と保護ゲートコントロールドバイオードの N 型拡散領域 4 との両方に接続する共通電極配線路 12 、保護ゲートコントロールドバイオードのゲート G 9 に接続する電極配線路 13 をそれぞれ形成する。この例では出力トランジスタのソース S 2 と保護ゲートコントロールドバイオードのゲート G 9 は共に接地されている。この実施例の装置では基体 1 の電圧  $-5 \text{ V}$  の時、出力トランジスタ T 1 のゲート G 8 が GND の状態でドレイン D 3 と基体 1 間の N-P 接合のブレークダウン開始電圧  $2.5 \text{ V}$  , 一方保護ゲートコントロールドバイオード D 1 の領域 4 と 5 間の N-P 接合のブレークダウン開始電圧は  $1.8 \text{ V}$  であつた。又フィールド

- 8 -

発明は包含するものである。

上述の実施例は單に例示の為のものであり、本発明はこれに限定されるものではない。例えば上記実施例では N チャンネルシリコンゲート M 0 8 型半導体装置の場合につき説明したが、P チャンネル型、アルミゲート型 M 0 8 半導体装置、その他一般の絶縁ゲート型電界効果半導体装置にも同様に適用できる。又シリコン半導体基体や拡散領域の不純物濃度、各部の G 10, 膜厚や保護ゲートコントロールドバイオードのゲート電位等を変えることもできるし、更に装置各部の材料や製法の変更も可能である。また拡散によつて形成された領域の代りにイオン打込等によつて形成された領域を用いることもできる。このようにこの明細書の請求範囲に記載された如き、この発明の精神と範囲とを逸脱することなく種々の改変をなすことができる。

#### 図面の簡単な説明

第 1 図はゲートコントロールドバイオードの接合耐圧とゲート電圧、第 2 図は接合耐圧と基体不

- 9 -

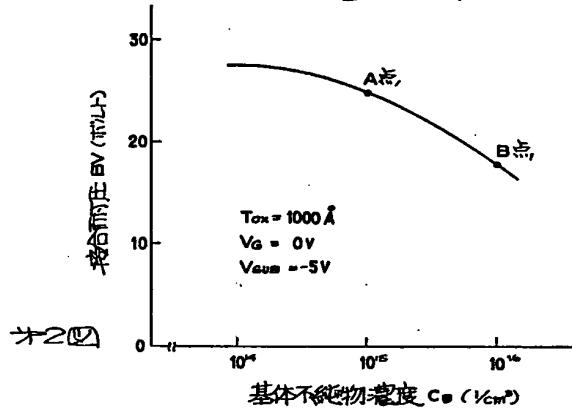
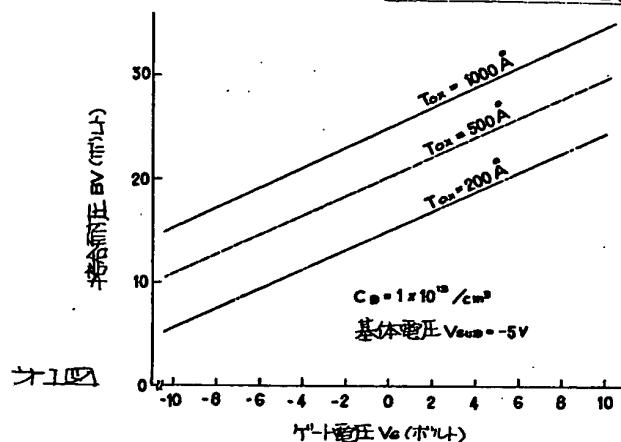
-409-

- 10 -

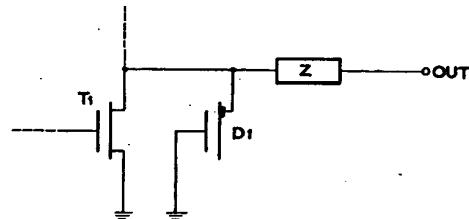
純物濃度との関係をそれぞれ示す実験データ図である。第3図は本発明装置の実施例を示す回路図で、第4図はその断面図である。

1 … P型シリコン半導体基体、2, 3, 4 … N型拡散領域、5 … P型拡散領域、6 … ゲート SiO<sub>2</sub>膜、7 … フィールド SiO<sub>2</sub>膜、8, 9 … トランジスタとゲートコントロールダイオードの多結晶シリコンゲート電極、10, 11, 12, 13 … アルミニウム電極配線路。

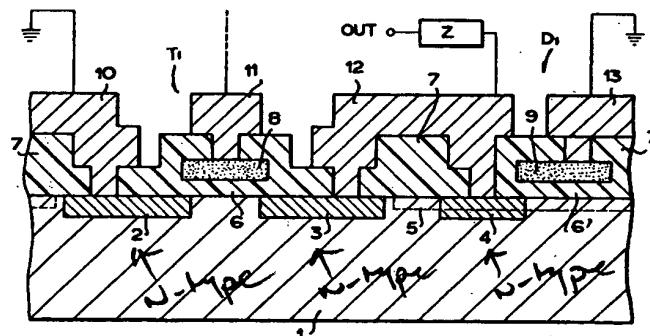
代理人 弁理士 内 岸



- 11 -



オーライ



オーライ

CLIPPEDIMAGE= JP351147972A

PAT-NO: JP351147972A

DOCUMENT-IDENTIFIER: JP 51147972 A

TITLE: INSULATED GATE FIELD EFFECT SEMICONDUCTOR DEVICE

PUBN-DATE: December 18, 1976

INVENTOR-INFORMATION:

NAME

KIKUCHI, MASANORI

INOUE, TAIICHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP50071767

APPL-DATE: June 13, 1975

INT-CL (IPC): H01L029/78;H01L029/90 ;H01L027/04 ;H03F001/00

ABSTRACT:

PURPOSE: To prevent the surge voltage destruction in case of applying a high voltage on the output terminal by connecting a gate control diode to the drain or the source of MOSFET.

COPYRIGHT: (C)1976,JPO&Japio